



# PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000310985 A**

(43) Date of publication of application: 07.11.00

(51) Int. Cl.

**G09G 5/00**

**G06F 3/153**

**G09G 5/36**

(21) Application number: 11121208

(22) Date of filing: 28.04.99

(71) Applicant: **HITACHI LTD**

(72) Inventor: SAKIYAMA KAZUO  
HARA HIROTAKA  
SUGITA NORIHIKO  
HASE AKIRA  
HORI JINICHI

**(54) BUFFER CONTROLLER AND SEMICONDUCTOR  
INTEGRATED CIRCUIT**

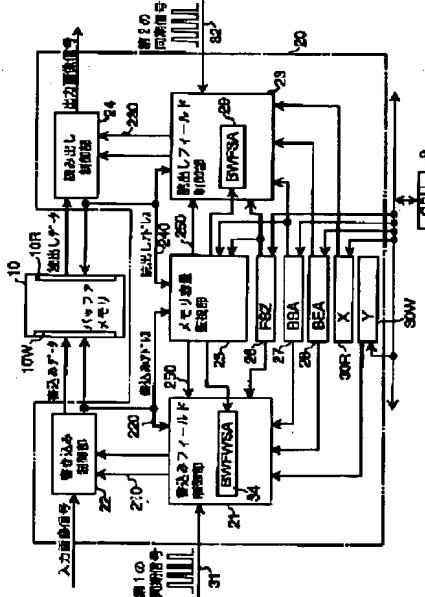
memory capacity of the buffer memory can be reduced by a region in which the data is not yet written of the field to be read out.

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a buffer controller in which memory capacity of a buffer memory required for processing time base can be reduced.

SOLUTION: Digital data is stored in a buffer memory 10 synchronizing with a first synchronizing signal 31 for each field, and the stored data is read out from the buffer memory 10 synchronizing in a field unit with a second synchronizing signal 32 and controlled. A memory capacity monitoring section 25 calculates difference between a write-in address and a read-out address. A read-out field control section 23 makes the device output repeatedly the data of a field already read out in a state in which the difference does not reach fixed capacity and makes the device output the data of the next field in the state in which the difference exceeds the fixed capacity. When the difference is level or more, the data of the field in which write-in is not completed may be started to read out, inversely.

COPYRIGHT: (C)2000, JPO



**THIS PAGE BLANK (USPTO,**

(51) Int.Cl.<sup>7</sup> 識別記号  
 G 0 9 G 5/00 5 5 0  
 G 0 6 F 3/153 3 3 6  
 G 0 9 G 5/36 5 3 0

F I テーマコード(参考)  
 G 0 9 G 5/00 5 5 0 M 5 B 0 6 9  
 G 0 6 F 3/153 3 3 6 A 5 C 0 8 2  
 G 0 9 G 5/36 5 3 0 W

審査請求 未請求 請求項の数 7 OL (全 9 頁)

(21)出願番号 特願平11-121208

(22)出願日 平成11年4月28日 (1999.4.28)

(71)出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地(72)発明者 ▲崎▼山 一男  
 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内(72)発明者 原 博隆  
 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内(74)代理人 100089071  
 弁理士 玉村 静世

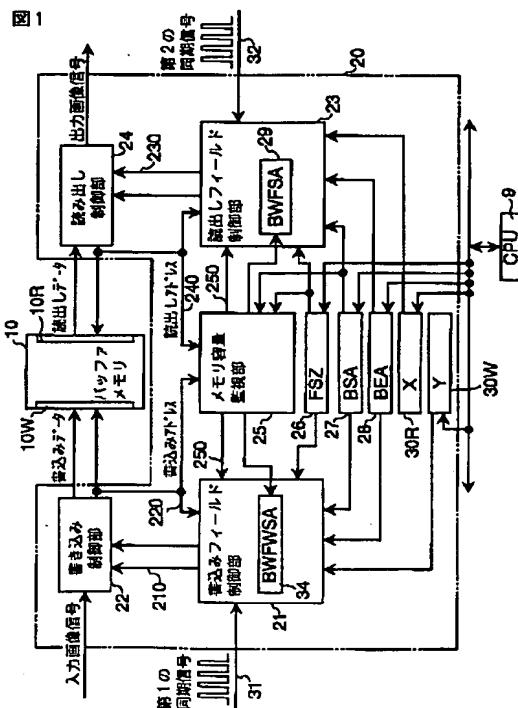
最終頁に続く

(54)【発明の名称】 バッファ制御装置及び半導体集積回路

## (57)【要約】

【課題】 時間軸処理に必要なバッファメモリの記憶容量を小さくできるバッファ制御装置を提供する。

【解決手段】 フィールド毎の第1の同期信号 (31) に同期してバッファメモリ (10) にデジタルデータを格納し、格納したデータを第2の同期信号 (32) に同期してフィールド単位でバッファメモリ (10) から読み出し制御する。メモリ容量監視部 (25) は書き込みアドレスと読み出しあドレスとの差分を算出する。読み出しフィールド制御部 (23) は、前記差分が一定容量に満たない状態では既に読み出したフィールドのデータを重ねて出力させ、差分が一定容量を超えた状態では次のフィールドのデータを出力させる。前記差分が一定以上有れば、書き込み未完フィールドのデータを読み出し開始しても何ら支障なく、逆に、読み出し対象フィールドのデータ書き残し領域の分だけ、バッファメモリの記憶容量を小さくできる。



## 【特許請求の範囲】

【請求項1】 複数フィールドによって1フレームを構成するデジタルデータをフィールド毎の第1の同期信号に同期してバッファメモリに格納し、格納したデジタルデータを第2の同期信号に同期してフィールド単位でバッファメモリから読み出し制御するバッファ制御装置であつて、

前記第1の同期信号に同期してフィールド毎にデジタルデータの書き込み動作を指示する書き込みフィールド制御部と、

前記書き込みフィールド制御部からの書き込み動作の指示を受けて書き込みアドレスを順次生成してバッファメモリに供給する書き込み制御部と、

前記第2の同期信号に同期してフィールド毎にデジタルデータの読み出し動作を指示する読み出しフィールド制御部と、

前記読み出しフィールド制御部からの読み出し動作の指示を受けて読み出しアドレスを順次生成してバッファメモリに供給する読み出し制御部と、

前記書き込みアドレスと読み出しアドレスとに基づいて書き込みデータ量に対する読み出しデータ量の差分を監視するメモリ容量監視部と、を有し、

前記読み出しフィールド制御部は、前記第2の同期信号に同期する読み出し指示を前記読み出し制御部に与えるとき、前記差分が第1の量に満たない状態のときは既に読み出したフィールドの先頭アドレスからの読み出しを前記読み出し制御部に指示し、前記差分が第1の量を超えた状態のときは次のフィールドの読み出し動作を前記読み出し制御部に継続させるものであることを特徴とするバッファ制御装置。

【請求項2】 前記書き込みフィールド制御部は、前記第1の同期信号に同期する書き込み指示を前記書き込み制御部に与えるとき、前記差分が第2の量を越えた状態のときは既に書き込み完了したフィールドの先頭アドレスからの書き込みを前記書き込み制御部に指示し、前記差分が第2の量に満たない状態のときは次のフィールドの書き込み動作を前記書き込み制御部に継続させるものであることを特徴とする請求項1記載のバッファ制御装置。

【請求項3】 リード・ライト可能なフィールドサイズレジスタを更に有し、

前記書き込みフィールド制御部は、前記第1の同期信号に同期して書き込み動作を指示するとき、前記フィールドサイズレジスタの値によって指定されるフィールドサイズに応じた回数だけ前記書き込み制御部に書き込みアドレスを更新させるものであり、

前記読み出しフィールド制御部は、前記第2の同期信号に同期して読み出し動作を指示するとき、前記フィールドサイズレジスタの値によって指定されるフィールドサイズに応じた回数だけ前記読み出し制御部に読み出しあ

ドレスを更新させるものであることを特徴とする請求項2記載のバッファ制御装置。

【請求項4】 夫々リード・ライト可能なバッファスタートアドレスレジスタ、及びバッファエンドアドレスレジスタを更に有し、

前記書き込みフィールド制御部は、書き込み制御部に、バッファメモリの先頭アドレスとして前記バッファスタートアドレスレジスタの値をプリセットすると共にバッファメモリの終了アドレスとして前記エンドアドレスレジスタの値をプリセットし、

前記書き込み制御部は、書き込みアドレスが前記終了アドレスに到達した後、書き込みアドレスを前記先頭アドレスに戻して、バッファメモリをリングバッファとして書き込み制御可能であり、

前記読み出しフィールド制御部は、読み出し制御部にバッファメモリの先頭アドレスとして前記バッファスタートアドレスレジスタの値をプリセットすると共にバッファメモリの終了アドレスとして前記エンドアドレスレジスタの値をプリセットし、

20 前記読み出し制御部は、読み出しあドレスが前記終了アドレスに到達した後、読み出しあドレスを前記先頭アドレスに戻して、バッファメモリをリングバッファとして読み出し制御可能であることを特徴とする請求項3記載のバッファ制御回路。

【請求項5】 前記メモリ容量監視部は、前記バッファスタートアドレスレジスタの値と、前記フィールドサイズレジスタの値とを入力し、前記読み出し制御部が出力する読み出しあドレスからフィールド先頭アドレスを認識して前記読み出しフィールド制御部に供給し、

30 前記読み出しフィールド制御部は、現在の読み出しひールド先頭アドレスに対して直近の単数又は複数フィールド分、既に読み出し完了したフィールドのフィールド先頭アドレスを保持し、前記差分が第1の量に満たない状態のとき前記読み出し制御部に指定するフィールド先頭アドレスとして前記保持したフィールド先頭アドレスを利用するものであることを特徴とする請求項4記載のバッファ制御回路。

【請求項6】 前記メモリ容量監視部は、前記バッファスタートアドレスレジスタの値と、前記フィールドサイズレジスタの値とを入力し、前記書き込み制御部が出力する書き込みアドレスからフィールド先頭アドレスを認識して前記書き込みフィールド制御部に供給し、

前記書き込みフィールド制御部は、現在の書き込みフィールド先頭アドレスに対して直近の単数又は複数フィールド分、既に書き込み完了したフィールドのフィールド先頭アドレスを保持し、前記差分が第2の量を越えた状態のとき前記書き込み制御部に指定するフィールド先頭アドレスとして前記保持したフィールド先頭アドレスを利用するものであることを特徴とする請求項4記載のバッファ制御回路。

【請求項7】 請求項1乃至6の何れか1項記載のバッファ制御回路及びバッファメモリを、入力画像データからジッタを除去する画像データのフレームシンクロナイザとして1チップに含んで成るものであることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリを用いて画像データなどの時間軸処理を行うためのバッファ制御回路に関し、例えば、入力画像データからジッタを除去する画像データ用のフレームシンクロナイザ、更にはケーブルテレビやデジタル衛星放送のデジタル画像データの受信、復調、復号等を行ってテレビ信号に変換するセットトップボックスなどに適用して有効な技術に関するものである。

【0002】

【従来の技術】 ケーブルや空中を伝播されて時系列的に入力される信号に時間的ゆらぎ（タイムベースエラー又はジッタとも称する）がある場合、そのジッタを除去したりするために、フレームシンクロナイザが用いられる。このフレームシンクロナイザは、例えば、複数フィールドによって1フレームを構成する画像データをフィールド毎の第1の同期信号に同期してバッファメモリに格納し、格納した画像データを第2の同期信号に同期してフィールド単位でバッファメモリから読み出し制御するバッファ制御装置を有する。前記第1及び第2の同期信号は例えば画像データ走査系の垂直同期信号のような信号である。尚、フレームシンクロナイザについて記載された文献の例としては、テレビジョン学会誌第33巻第4号（1979）第277頁～第282頁がある。

【0003】

【発明が解決しようとする課題】 本発明者は、フレームシンクロナイザについて検討したところ、バッファメモリに格納された画像データを読み出すとき、読み出し対象フィールドのデータがすべて揃った後でなければ読み出せないように制御するなら、バッファメモリの記憶領域を効率的に利用できない、ということを見出した。即ち、現在書き込み中のフィールドデータが書き込み完了した後に当該フィールドのデータが読み出し可能にされる場合には、その読み出し中に次のフィールドデータを格納可能な次フィールドデータ格納領域を持つことが必要である。これにより、結局、比較的大きな記憶領域のバッファメモリが必要になる。更に、フィールドデータの書き込み開始から読み出し開始までの時間も長くなってしまう。

【0004】 本発明の目的は、時間軸処理に必要なバッファメモリの記憶容量を小さくできるバッファ制御装置を提供することにある。

【0005】 本発明の別の目的は、バッファメモリへのフィールドデータの書き込み開始から読み出し開始まで

の時間を短縮できるバッファ制御装置を提供することにある。

【0006】 本発明のその他の目的は、時間軸処理に必要なバッファメモリの記憶容量を小さくでき、バッファメモリへのフィールドデータの書き込み開始から読み出し開始までの時間を短縮できるフレームシンクロナイザ用のバッファ制御機能を有する半導体集積回路を提供することにある。

【0007】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 すなわち、バッファ制御装置（20）は、複数フィールドによって1フレームを構成するデジタルデータをフィールド毎の第1の同期信号（31）に同期してバッファメモリ（10）に格納し、格納したデジタルデータを第2の同期信号（32）に同期してフィールド単位でバッファメモリ（10）から読み出し制御する。バッファメモリは、例えば、書き込みポート（10W）と読み出しポート（10R）を別々に持つ。このバッファ制御装置は、前記第1の同期信号に同期してフィールド毎にデジタルデータの書き込み動作を指示する書き込みフィールド制御部（21）と、前記書き込みフィールド制御部からの書き込み動作の指示を受けて書き込みアドレスを順次生成してバッファメモリに供給する書き込み制御部（22）と、前記第2の同期信号に同期してフィールド毎にデジタルデータの読み出し動作を指示する読み出しフィールド制御部（23）と、前記読み出しフィールド制御部からの読み出し動作の指示を受けて読み出しアドレスを順次生成してバッファメモリに供給する読み出し制御部（24）と、前記書き込みアドレスと読み出しアドレスとに基づいて書き込みデータ量に対する読み出しデータ量の差分を監視するメモリ容量監視部（25）とを有する。前記読み出しフィールド制御部は、前記第2の同期信号に同期する読み出し指示を前記読み出し制御部に与えるとき、前記差分が第1の量に満たない状態のときは既に読み出したフィールドの先頭アドレスからの読み出しを前記読み出し制御部に指示し、前記差分が第1の量を超えた状態のときは次のフィールドの読み出し動作を前記読み出し制御部に継続させるものである。

【0010】 上記によれば、書き込みアドレスと読み出しアドレスの差分が一定以上有れば、データ書き込みが完了されていないフィールドのデータを読み出し開始しても、読み出し動作と並列的に書き込み動作も順次行なわれていく。よって、読み出し対象フィールドのデータが全て書き込み完了されるのを待つこと無く読み出し動

作を開始しても、何ら支障ない。読み出し対象フィールドのデータ書き残し領域の分だけ、従来よりもバッファメモリの記憶容量を小さくできる。これにより、バッファメモリの記憶容量を比較的小さくでき、また、フィールドデータの書き込み開始から読み出し開始までの時間も短縮できる。

【0011】また、前記バッファ制御装置におけるデータ書き込み動作に着目する場合、前記書き込みフィールド制御部は、前記第1の同期信号に同期する書き込み指示を前記書き込み制御部に与えるとき、前記差分が第2の量を越えた場合には既に書き込み完了したフィールドの先頭アドレスからの書き込みを前記書き込み制御部に指示し、前記差分が第2の量に満たない場合には次のフィールドの書き込み動作を前記書き込み制御部に継続させる。これによれば、バッファメモリへのデータ供給量が読み出し系の処理能力に比べて多い場合、換言すれば、前記差分が第2の量を超えているとき、バッファメモリ上でデータを自動的に間引くことが可能になる。

【0012】前記閾値としての第1の量と第2の量はバッファメモリの記憶容量、書き込みアクセス速度、読み出しアクセス速度に応じてプログラマブルに決定するとい。第1の量と第2の量を同一値にすることを妨げるものではない。

【0013】更に具体的な態様では、リード・ライト可能なフィールドサイズレジスタ(26)を有する。前記書き込みフィールド制御部は、前記第1の同期信号に同期して書き込み動作を指示するとき、前記フィールドサイズレジスタの値によって指定されるフィールドサイズに応じた回数だけ、前記書き込み制御部に書き込みアドレスを更新させる。前記読み出しフィールド制御部は、前記第2の同期信号に同期して読み出し動作を指示するとき、前記フィールドサイズレジスタの値によって指定されるフィールドサイズに応じた回数だけ、前記読み出し制御部に読み出しアドレスを更新させる。これにより、バッファメモリのアクセスは、同期信号に同期して、フィールドサイズ毎に自動的に行なわれる。

【0014】また、夫タリード・ライト可能なバッファスタートアドレスレジスタ(27)、及びバッファエンドアドレスレジスタ(28)を設ける。このとき、前記書き込みフィールド制御部は、書き込み制御部に、バッファメモリの先頭アドレスとして前記バッファスタートアドレスレジスタの値をプリセットすると共にバッファメモリの終了アドレスとして前記エンドアドレスレジスタの値をプリセットする。前記読み出しフィールド制御部は、読み出し制御部にバッファメモリの先頭アドレスとして前記バッファスタートアドレスレジスタの値をプリセットすると共にバッファメモリの終了アドレスとして前記エンドアドレスレジスタの値をプリセットする。これにより、前記書き込み制御部は、書き込みアドレスが前記終了アドレスに到達した後、書き込みアドレスを

前記先頭アドレスに戻して、バッファメモリをリングバッファとして書き込み制御可能であり、前記読み出し制御部は、読み出しアドレスが前記終了アドレスに到達した後、読み出しアドレスを前記先頭アドレスに戻して、バッファメモリをリングバッファとして読み出し制御可能である。

【0015】前記メモリ容量監視部は、前記バッファスタートアドレスレジスタの値と、前記フィールドサイズレジスタの値とを入力し、前記メモリ読み出し制御部が10出力する読み出しアドレスからフィールド先頭アドレスを認識して前記読み出しフィールド制御部に供給する。

前記読み出しフィールド制御部は、現在の読み出しフィールド先頭アドレスに対して直近の単数又は複数フィールド分、既に読み出し完了したフィールドのフィールド先頭アドレスを保持し、前記差分が第1の量に満たない状態のとき前記読み出し制御部に指定するフィールド先頭アドレスとして前記保持したフィールド先頭アドレスを利用する。

【0016】また、前記メモリ容量監視部は、前記バッ20ファスタートアドレスレジスタの値と、前記フィールドサイズレジスタの値とを入力し、前記書き込み制御部が出力する書き込みアドレスからフィールド先頭アドレスを認識して前記書き込みフィールド制御部に供給する。

前記書き込みフィールド制御部は、現在の書き込みフィールド先頭アドレスに対して直近の単数又は複数フィールド分、既に書き込み完了したフィールドのフィールド先頭アドレスを保持し、前記差分が第2の量を越えた状態のとき前記書き込み制御部に指定するフィールド先頭アドレスとして前記保持したフィールド先頭アドレスを利用する。

【0017】入力画像データからジッタを除去する画像データのフレームシンクロナイザとして前記バッファ制御回路を含んで半導体集積回路を構成することができる。

【0018】

【発明の実施の形態】図4にはセットトップボックスの一例が示される。このセットトップボックス1は、ケーブルテレビやディジタル衛星放送等によって供給される番組のデータを受信部2で受信し、デスクランプ3で

40データのスクランブルが解除される。システムデコーダ4は、スクランブルが解除された受信番組データからユーザの選択した番組の画像信号や音声信号を選択する。選択された画像信号や音声信号はビデオ/オーディオデコード部5に供給され、例えば、MPEG(Moving Picture Experts Group)2の規格に準拠して圧縮されたディジタル信号から画像信号及び音声信号を復号する。ビデオエンコーダ6はビデオ/オーディオデコード部5で復号された画像信号をテレビ画像形式に変換してテレビ7に出力する。ビデオ/オーディオデコード部5で復号された音声信号はオーディオDAC8によってアナログ

信号に変換して、テレビに出力する。CPU9は、セットトップボックス1の全体的な制御を行う。

【0019】特に制限されないが、図4において前記デスクランプラ3、システムデコーダ4、ビデオ/オーディオデコード部5、ビデオエンコーダ6及びオーディオDAC8は、1チップの半導体集積回路によって構成されている。

【0020】図1にはフレームシンクロナイザの一例が示される。特に制限されないが、このフレームシンクロナイザは、前記ビデオ/オーディオデコード部5に含まれ、復号された画像データに対して時間軸処理を施してジッタを除去する。このフレームシンクロナイザは、バッファメモリ10とバッファ制御装置20とを有する。

【0021】前記バッファメモリ10は、デュアルポートを持つ。例えば、書き込みポート10Wと読み出しポート10Rを有し、双方のポートは独立して動作可能にされている。ここでは、バッファメモリ10のメモリセル構造の図示は省略するが、メモリセルのデータ入出力端子には、書き込みポート10Wに導通可能にされた書き込みデータ線と、読み出しポート10Rに導通可能にされた読み出しデータ線とを別々の持つ。更にメモリセルの選択端子に接続されるワード線の、書き込みポート側から選択可能な書き込みワード線と読み出しポート側から選択可能な読み出しワード線とを別々に有する。このような構造のデュアルポートRAMは公知であるからこれ以上詳細な説明は省略する。

【0022】バッファ制御装置20は、複数フィールドによって1フレームを構成するデジタルデータをフィールド毎の第1の同期信号31に同期してバッファメモリ10に格納し、格納したデジタルデータを第2の同期信号32に同期してフィールド単位でバッファメモリ10から読み出し制御する。前記第1及び第2の同期信号31、32は、フィールド区切りなどに同期した信号であり、例えば、1走査線分のデータを1フィールドのデータとすれば、ラスタ走査の垂直同期信号のような信号である。

【0023】このバッファ制御装置20は、フィールド制御部21、書き込み制御部22、読み出しフィールド制御部23、読み出し制御部24、メモリ容量監視部25、フィールドサイズレジスタ26、バッファスタートアドレスレジスタ27、バッファエンドアドレスレジスタ28及びバッファ量レジスタ30R、30Wを有する。前記レジスタ26～28、30R、30WはCPU9によって初期値が設定される。レジスタ26の値はフィールドサイズ(FSZ)とされる。レジスタ27の値は、バッファメモリ10上で画像データのバッファ領域として利用するエリアのスタートアドレス(BSA)とされる。レジスタ28の値は、バッファメモリ10上で画像データのバッファ領域として利用するエリアのエンドアドレス(BEA)とされる。

10 【0024】前記書き込みフィールド制御部21は、前記第1の同期信号31に同期してフィールド毎にデジタルデータの書き込み動作を指示する。即ち、書き込みフィールド制御部21は、レジスタ26が保有するフィールドサイズFSZ、レジスタ27のスタートアドレスBSA、レジスタ28のエンドアドレスBEAを参照する。書き込みフィールド制御部21は、前記第1の同期信号31のパルス変化を検出すると、これに同期して、フィールドサイズFSZに応ずる回数だけ、書き込み動作サイクルを規定する書き込みイネーブルパルス210を変化させる。

【0025】前記書き込み制御部22は、レジスタ27のスタートアドレスBSAが書き込みフィールド制御部21を介してプリセットされ、前記書き込みイネーブルパルス210の変化に同期して前記プリセット値をインクリメントしながら、書き込みアドレス220を順次生成してバッファメモリ10に供給する。したがって、第1の同期信号31に1回のパルス変化があると、自動的に1フィールドサイズ分の画像データがバッファメモリ10に書き込まれる。このようにして、フィールド単位で画像データの書き込みが行なわれる。

【0026】前記書き込み制御部22が outputする書き込みアドレス220は書き込みフィールド制御部21にも供給される。書き込みフィールド制御部21は書き込みアドレスがレジスタ28のエンドアドレスBEAに一致したとき、次の書き込み制御で、先ず、レジスタ27のスタートアドレスBSAを書き込み制御部22にプリセットする。これによって、スタートアドレスBSAからエンドアドレスBEAの領域はリングバッファとして書き込み制御可能になる。

【0027】前記読み出しフィールド制御部23は、前記第2の同期信号32に同期してフィールド毎にデジタルデータの読み出し動作を指示する。即ち、読み出しフィールド制御部23は、レジスタ26が保有するフィールドサイズFSZ、レジスタ27のスタートアドレスBSA、レジスタ28のエンドアドレスBEAを参照する。読み出しフィールド制御部23は、前記第2の同期信号32のパルス変化を検出すると、これに同期して、フィールドサイズFSZに応ずる回数だけ、読み出し動作サイクルを規定する読み出しイネーブルパルス230を変化させる。

【0028】前記読み出し制御部24は、レジスタ27のスタートアドレスBSAが読み出しフィールド制御部23を介してプリセットされ、前記読み出しイネーブルパルス230の変化に同期して前記プリセット値をインクリメントしながら、読み出しアドレス240を順次生成してバッファメモリ10に供給する。したがって、第2の同期信号32に1回のパルス変化があると、自動的に1フィールドサイズ分の画像データがバッファメモリ10から読み出される。このようにして、フィールド單

位で画像データの読み出しが行なわれる。

【0029】前記読み出し制御部24が出力する読み出しアドレス240は読み出しフィールド制御部23にも供給される。読み出しフィールド制御部23は読み出しアドレスがレジスタ28のエンドアドレスBEAに一致したとき、次の読み出し制御で、先ず、レジスタ27のスタートアドレスBSAを読み出し制御部24にプリセットする。これによって、スタートアドレスBSAからエンドアドレスBEAの領域はリングバッファとして読み出し制御可能になる。

【0030】前記メモリ容量監視部25は、前記書き込みアドレス220と読み出しアドレス240とに基づいて書き込みデータ量に対する読み出しデータ量の差分を監視する。差分データ250は前記読み出しフィールド制御部23に与えられる。前記読み出しフィールド制御部23は、前記第2の同期信号32に同期する読み出し指示を読み出しイネーブルパルス230によって前記読み出し制御部24に与えるとき、前記差分データ250の値が一定のバッファ容量（第1の量）Xを満たしているかを判定する。前記バッファ容量XはCPU9によってバッファ容量レジスタ30Rに初期設定された値である。前記差分が一定のバッファ容量Xに満たない状態のときは既に読み出し完了されている直前のフィールドの先頭アドレスが指定され、前記差分が一定容量を超えた状態のときは次の読み出し動作が継続されるようになっている。

【0031】即ち、前記メモリ容量監視部25は、前記レジスタ27のスタートアドレスBSAと、前記レジスタ26のフィールドサイズFSZとを入力し、前記読み出し制御部24が出力する読み出しアドレス240からフィールド先頭アドレスを認識して前記読み出しフィールド制御部23に供給する。前記読み出しフィールド制御部23は、現在の読み出しフィールド先頭アドレスに対してその直前の既に読み出し完了した1フィールドのフィールド先頭アドレスBWFSAを直前フィールドスタートアドレスレジスタ29に保持する。読み出しフィールド制御部23は、前記差分が一定容量Xに満たない状態のときに指定するフィールド先頭アドレスとして、直前フィールドスタートアドレスレジスタ29が保持する前記直前フィールド先頭アドレスBWFSAを利用する。

【0032】尚、バッファ量Xが満たない場合にも直前のフィールドデータを読み出すのは以下の理由による。即ち、画像表示に代表されるように、同期信号32に同期して表示データを送らなければ、画像表示状態が著しく劣化してしまうからである。直前のフィールドデータを送れば前後のデータと違和感のない表示状態を得られる場合が多いからである。

【0033】図2には上記読み出しフィールド制御部29による前記差分データを参照した読み出し動作の制御

手順が示される。読み出しフィールド制御部29は、同期信号32により読み出し指示が有ると（S1）、差分データ250のデータ量がバッファ量X以上有るかを判定し（S2）、バッファ量X以上のときは次フィールドからデータを読み出し（S3）、バッファ量Xよりも少ないときは直前フィールドからデータを読み出す（S4）。

【0034】図3には上記読み出しフィールド制御部29によるデータ読み出し動作の制御様が例示されている。図3において、CRPは現在の読み出しアドレス240（カレントリードポインタ）、CWPは現在の書き込みアドレス220（カレントライトポインタ）を意味する。CDSAは現在書き込み対象とされているフィールドのスタートアドレス、NDSAはその次に位置するフィールドのスタートアドレス、BWFSAはCDSAに対する直前のフィールドのスタートアドレスである。図3の（A）の状態は、前記差分がバッファ量Xを越えている状態である（CWP-CRP≥X）。この状態で読み出し動作が指示されると、読み出しアドレス240は、

CRPの次から開始される。一方、図3の（B）の状態は、前記差分がバッファ量Xに満たない状態である（CWP-CRP<X）。この状態で読み出し動作が指示されると、カレントリードポインタCRPはその直前のフィールドの先頭アドレスBWFSAにプリセットされ、そこから重ねて読み出し動作が行われる。

【0035】また、データ書き込み動作に着目したとき、前記メモリ容量監視部25は、前記差分データ250を前記書き込みフィールド制御部21にも与える。前記書き込みフィールド制御部21は、前記第1の同期信号31に同期する書き込み指示を書き込みイネーブルパルス210によって前記書き込み制御部22に与えるとき、前記差分データ250の値が第2の量であるバッファ容量Yを満たしているか否かを判定する。前記バッファ容量YはCPU9によってバッファ容量レジスタ30Wに初期設定された値である。バッファ容量Yを越えた場合には既に書き込み完了したフィールドの先頭アドレスからの書き込みを前記書き込み制御部22に指示し、前記差分がバッファ容量Yに満たない場合には次のフィールドの書き込み動作を前記書き込み制御部22に継続させるようになっている。

【0036】即ち、前記メモリ容量監視部25は、前記レジスタ27のスタートアドレスBSAと、前記レジスタ26のフィールドサイズFSZとを入力し、前記書き込み制御部22が出力する書き込みアドレス220からフィールド先頭アドレスを認識して前記書き込みフィールド制御部22に供給する。前記書き込みフィールド制御部22は、現在の書き込みフィールド先頭アドレスに対してその直前の既に書き込み完了した1フィールドのフィールド先頭アドレスBWFWSAを直前フィールド

スタートアドレスレジスタ34に保持する。書き込みフィールド制御部22は、前記差分が一定容量Yを越えた状態のときに指定するフィールド先頭アドレスとして、直前フィールドスタートアドレスレジスタ34が保持する前記直前フィールド先頭アドレスBWFWSAを利用する。

【0037】図4は上記書き込みフィールド制御部21による前記差分データを参照した書き込み動作の制御手順が示される。書き込みフィールド制御部21は、同期信号31により書き込み指示が有ると(S11)、差分データ250のデータ量がバッファ量Y以上有るかを判定し(S12)、バッファ量Y以下のときは次フィールドからデータを書き込み(S13)、バッファ量Yを越えているときは直前フィールドからデータを書き込む(S4)。

【0038】図5には上記書き込みフィールド制御部21によるデータ書き込み動作の制御態様が例示されている。図5において、CRPは現在の読み出しアドレス240(カレントリードポインタ)、CWPは現在の書き込みアドレス220(カレントライトポインタ)を意味する。CFAは現在書き込み対象とされているフィールドのスタートアドレス、NFAはその次に位置するフィールドのスタートアドレス、BWFWSAはCFAに対する直前のフィールドのスタートアドレスである。図5の(B)の状態は、前記差分がバッファ量Yに満たない状態である(CWP-CRP<Y)。この状態で書き込み動作が指示されると、書き込みアドレス220は、カレントリードポインタCWPの次から開始される。一方、図5の(A)の状態は、前記差分がバッファ量Yを越えた状態である(CWP-CRP≥Y)。この状態で書き込み動作が指示されると、カレントリードポインタCWPはその直前のフィールドの先頭アドレスBWFWSAにプリセットされ、そこから重ねて読み出し動作が行われる。

【0039】前記閾値としてのX、Yの量はバッファメモリの記憶容量、書き込みアクセス速度、読み出しアクセス速度に応じてプログラマブルに決定するとよい。上記説明では、書き込みアクセス動作の方が読み出しアクセス動作よりも遅いので、例えばY>Xとしている。

【0040】以上の説明を纏めると、図3の(B)に示されるようにCWP-CRP<Xのときは新たなデータの読み出しをスキップし、既に読み出したフィールドのデータを再度読み出す。図3の(A)及び図5の(A)に示されるようにX≤CWP-CRP≤YのときはCRP、CWPの値にしたがって通常のリード、ライト動作が行なわれる。図5の(B)に示されるようにY<CWP-CRPのときは既にライト済みのフィールドに戻つてデータを上書きする。

【0041】上記によれば、以下の作用効果を得ることができる。

【0042】[1] 書き込みアドレスと読み出しアドレスの差分が一定以上有れば、データ書き込みが完了されていないフィールドのデータを読み出し開始しても、読み出し動作と並列的に書き込み動作も順次行なわれていく。よって、読み出し対象フィールドのデータが全て書き込み完了されるのを待つこと無く読み出し動作を開始しても、何ら支障ない。読み出し対象フィールドのデータ書き残し領域の分だけ、従来よりもバッファメモリの記憶容量を小さくできる。これにより、バッファメモリの記憶容量を比較的小さくでき、また、フィールドデータの書き込み開始から読み出し開始までの時間も短縮できる。

【0043】[2] バッファメモリへのデータ供給量が読み出し系の処理能力に比べて多い場合、換言すれば、前記差分がバッファ量Yを超えているとき、バッファメモリ上でデータを自動的に間引くことが可能になる。

【0044】[3] レジスタ27、28の初期設定内容に応じてバッファメモリ10上における画像データの記憶領域を任意に決定できる。レジスタ26の設定値に応じてフィールドのサイズも任意に指定できる。バッファ量Xについてもレジスタ30の初期設定により最適値を選択できる。このことから、適用システムなどに応じて融通性のある時間軸処理を施すことができる。

【0045】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0046】例えば、BWFSA、BWFWSAは直前の一つのフィールド先頭アドレスに限定されない。例えば、画像データを偶数フィールドと奇数フィールドに分けて夫々一群毎に表示制御するシステムに適用する場合には、偶数フィールドに対しては直前の偶数フィールドのデータに戻り、奇数フィールドに対しては直前の奇数フィールドのデータに戻るようにすることができる。

【0047】また、フィールドの領域はリニアであることを要しない。アドレスの不連続部分を定義するアドレスレジスタをCPUによってアクセス可能に設ければよい。

【0048】また、バッファメモリは前述の完全デュアルポート構造に限定されない。リードポートとライトポートのアクセスを交互に行なう余裕がある場合には、排他的に動作可能な見掛け上のデュアルポートRAMであってもよい。

#### 【0049】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0050】すなわち、書き込みアドレスと読み出しアドレスの差分が一定以上有れば、データ書き込みが完了されていないフィールドのデータを読み出し開始して

も、読み出し動作と並列的に書き込み動作も順次行なわれていく。したがって、読み出し対象フィールドのデータが全て書き込み完了されるのを待つこと無く読み出し動作を開始しても、何ら支障ない。読み出し対象フィールドのデータ書き残し領域の分だけ、従来よりもバッファメモリの記憶容量を小さくできる。これによりう、バッファメモリの記憶容量を比較的小さくでき、また、フィールドデータの書き込み開始から読み出し開始までの時間も短縮できる。また、バッファメモリへのデータ供給量が読み出し系の処理能力に比べて多い場合に、書き込みアドレスと読み出しアドレスの差分が一定以上有れば、バッファメモリ上でデータを自動的に間引くことが可能である。

【図面の簡単な説明】

【図1】本発明が適用されるフレームシンクロナイザの一例を示すブロック図である。

【図2】読み出しフィールド制御部による差分データを参照した読み出し動作の制御手順を示すフローチャートである。

【図3】読み出しフィールド制御部によるデータ読み出し動作の制御様様を例示する説明図である。

【図4】書き込みフィールド制御部による差分データを参照した書き込み動作の制御手順を示すフローチャートである。

【図5】書き込みフィールド制御部によるデータ書き込み動作の制御様様を例示する説明図である。

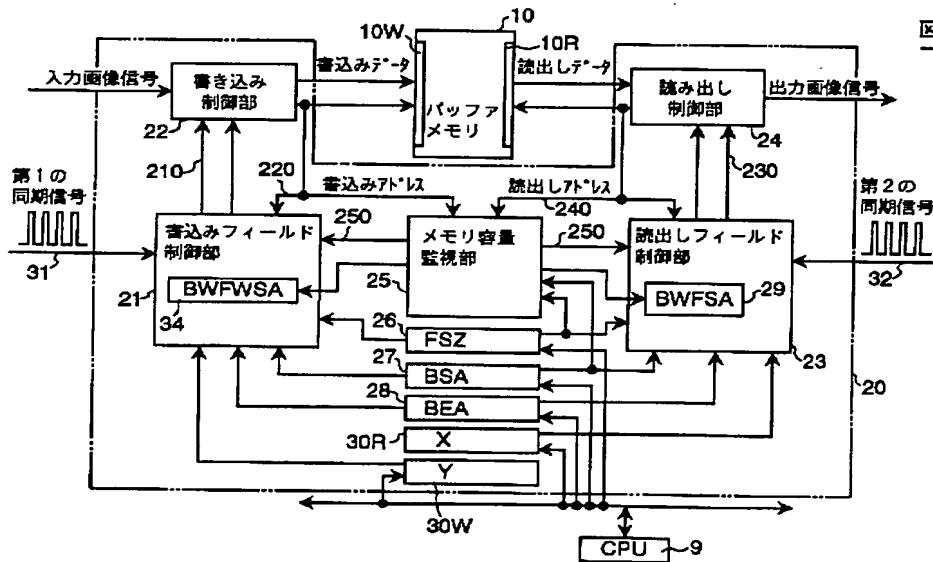
【図6】セットトップボックスの一例を示すブロック図

である。

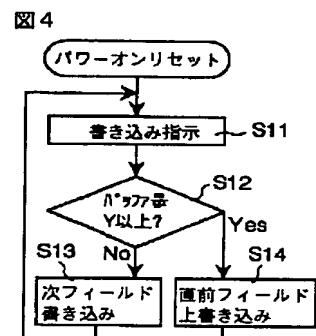
【符号の説明】

- 1 セットトップボックス
- 4 システムデコーダ
- 5 ビデオ/オーディオデコード部
- 6 ビデオエンコーダ
- 7 テレビ
- 10 バッファメモリ
- 20 バッファ制御回路
- 10 21 書込みフィールド制御部
- 22 書込み制御部
- 23 読み出しフィールド制御部
- 24 読み出し制御部
- 25 メモリ容量監視部
- 26 フィールドサイズレジスタ
- 27 バッファスタートアドレスレジスタ
- 28 バッファエンドアドレスレジスタ
- 29 直前フィールドスタートアドレスレジスタ
- 30 R, 30 W バッファ量レジスタ
- 20 31 第1の同期信号
- 32 第2の同期信号
- 21 0 書込みイネーブルパルス
- 22 0 書込みアドレス
- 23 0 読み出しイネーブルパルス
- 24 0 読み出しアドレス
- 25 0 差分データ

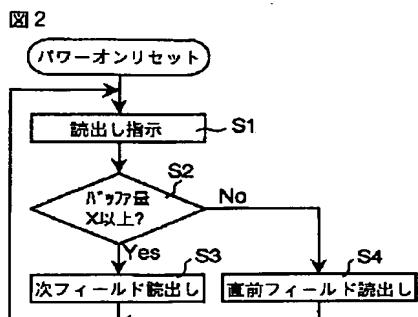
【図1】



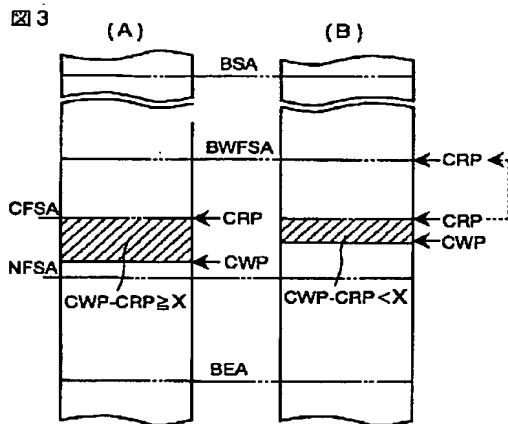
【図4】



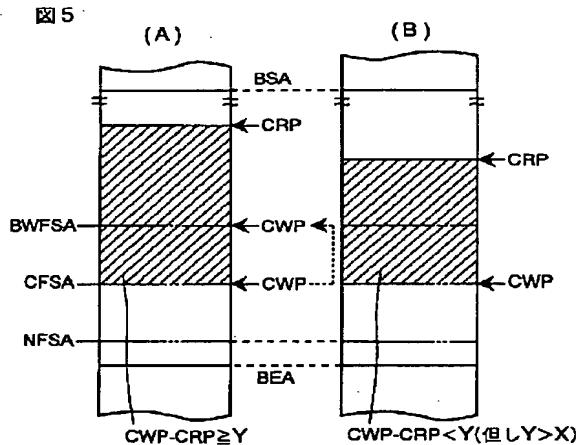
【図2】



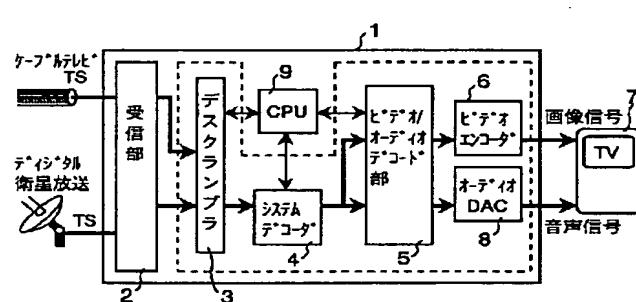
【図3】



【図5】



【図6】



フロントページの続き

(72) 発明者 杉田 憲彦  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 長谷 昌  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所システムLSI開発センター内

(72) 発明者 堀 仁一  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所システムLSI開発センター内

Fターム(参考) 5B069 AA20 BA01 BC02 BC09 LA02  
LA05 LA12  
5C082 AA02 BA12 BB15 BB25 BC03  
CA84 DA54 DA55 DA61 DA76  
MM04

**THIS PAGE BLANK (USPTO)**